Санкт-Петербургский Политехнический Университет Петра Великого

Институт Компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Лабораторная работа 7 Задание 3

Предмет: «Проектирование реконфигурируемых гибридных вычислительных систем»

**Тема: «Конвейеризация вычислений»**

Студент: Ерниязов Т.Е.

Гр. № 3540901/81501

Преподаватель: Антонов А.П.

Санкт-Петербург

2019

Оглавление

[1. Задание 4](#_Toc27339658)

[2. Первое решение без конвейеризации 5](#_Toc27339659)

[2.1. Исходный код 5](#_Toc27339660)

[2.2. Создание решения 5](#_Toc27339661)

[2.3. Директивы 6](#_Toc27339662)

[2.4. Моделирование 6](#_Toc27339663)

[2.5. Синтез 6](#_Toc27339664)

[2.6. Использование ресурсов 7](#_Toc27339665)

[2.7. C/RTL моделирование 8](#_Toc27339666)

[3. Второе решение 8](#_Toc27339667)

[3.1. Директивы 8](#_Toc27339668)

[3.2. Моделирование 9](#_Toc27339669)

[3.3. Синтез 9](#_Toc27339670)

[3.4. C/RTL моделирование 10](#_Toc27339671)

[4. Третье решение 11](#_Toc27339672)

[4.1. Директивы 11](#_Toc27339673)

[4.2. Моделирование 11](#_Toc27339674)

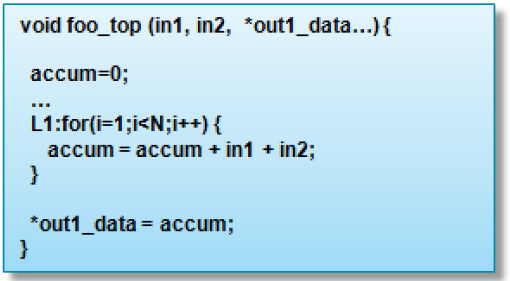
[4.3. Синтез 11](#_Toc27339675)

[4.4. C\RTL Моделирование 13](#_Toc27339676)

[5. Выводы 14](#_Toc27339677)

1. Задание

* Создать проект lab7\_3
* Микросхема: xa7a12tcsg325-1q
* Создать функцию на основе приведенного ниже слайда.



* Создать тест lab7\_3\_test.c для проверки функций выше.
  + осуществить моделирование (с выводом результатов в консоль)
* Сделать свой solution (для варианта без конвейеризации, с конвейеризацией, с конвейеризацией и rewind)
  + задать: clock period 10; clock\_uncertainty 0.1
  + осуществить синтез
    - привести в отчете:
      * performance estimates=>summary
      * utilization estimates=>summary
      * scheduler viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
      * resource viewer (выполнить Zoom to Fit)
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
  + Осуществить C|RTL моделирование (для каждого варианта задания директивы)
    - Привести результаты из консоли
    - Открыть временную диаграмму (все сигналы)
      * Отобразить два цикла обработки на одном экране
        + На скриншоте показать Latency
        + На скриншоте показать Initiation Interval
* Выводы
  + Привести обобщенную таблицу зависимости utilization и performance от каждого варианта: без конвейеризации, с конвейеризацией, с конвейеризацией и rewind.

Объяснить отличие процедур обращения к элементам массива для каждого случая

1. Первое решение без конвейеризации
   1. Исходный код

Исходный код функции:

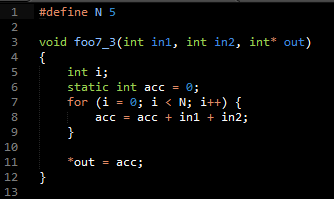


Рис. 2.1.1 source code

Исходный код теста:

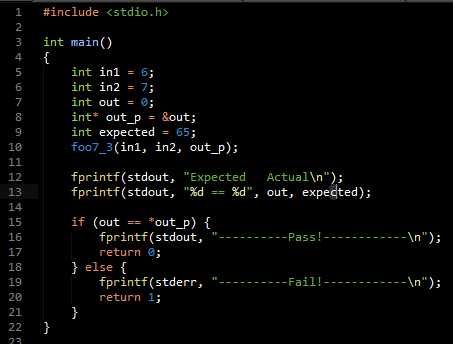


Рис. 2.1.2 test code

* 1. Создание решения

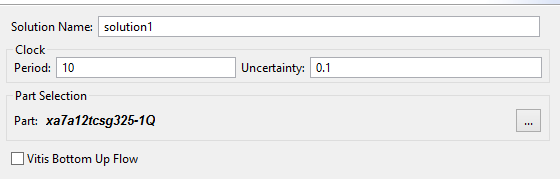


Рис. 2.2 Solution

* 1. Директивы

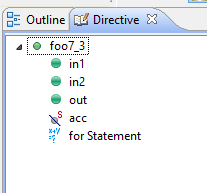


Рис. 2.3 Directives

* 1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

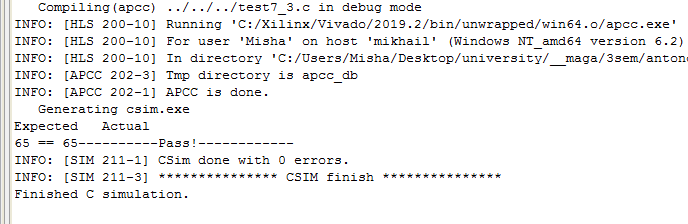


Рис. 2.4 modeling results

* 1. Синтез

На изображении видно, что полученная задержка укладывается в заданное значение. Оценочное время выполнения одного такта 2.7нс, а latency составляет 6 тактов.

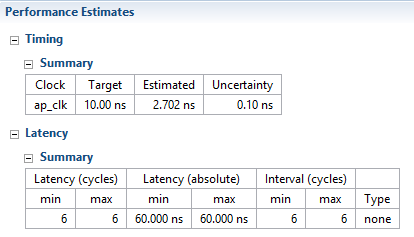


Рис. 2.5 performance estimates

* 1. Использование ресурсов

Оценка использования ресурсов показывает, что будут использованы 123 LUT и 69 триггеров.

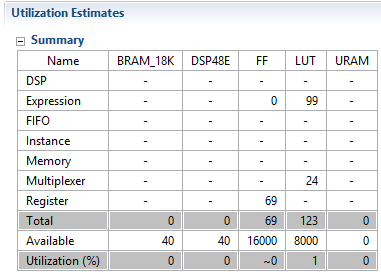


Рис. 2.6.1 Utilization estimates

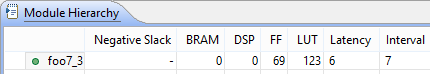


Рис. 2.6.2. Module hierarchy

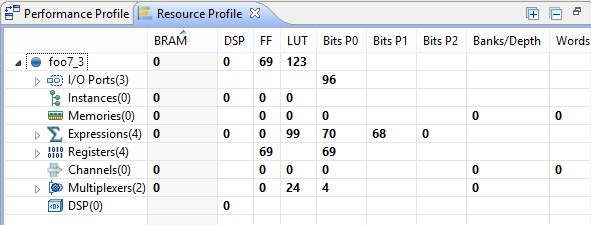


Рис. 2.6.3 Resource profile

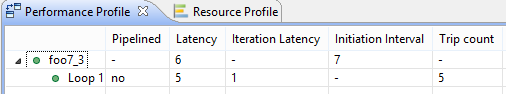


Рис. 2.6.4 Performance profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

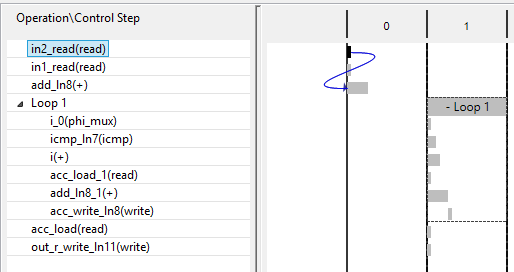


Рис. 2.6.5. Operation\Control Step

* 1. C/RTL моделирование

На временной диаграмме видно, что latency занимает 6 тактов, а II – 7 тактов.

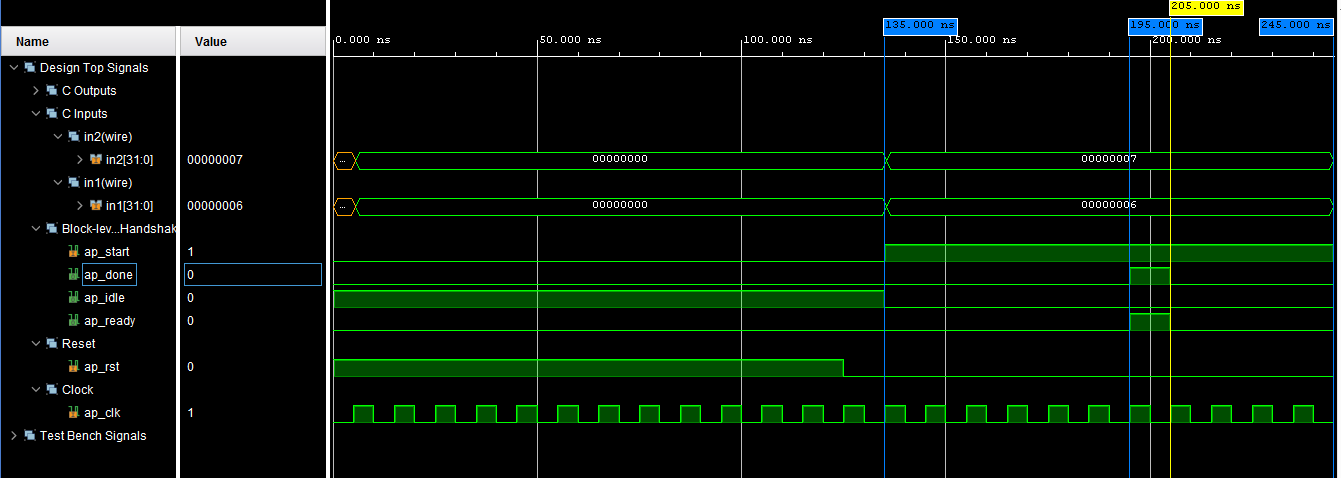


Рис. 2.7. modeling result

1. Второе решение
   1. Директивы

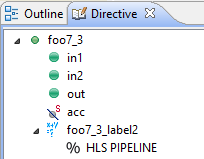


Рис.3.1 Directives

* 1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

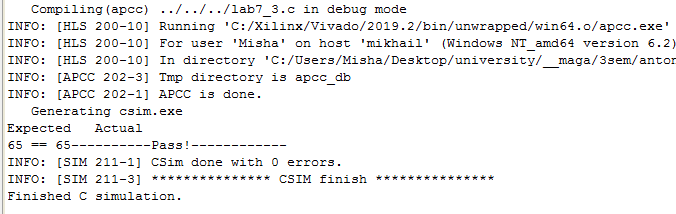


Рис.3.2 Modeling result

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта 2.7нс, а latency составляет 7 тактов.

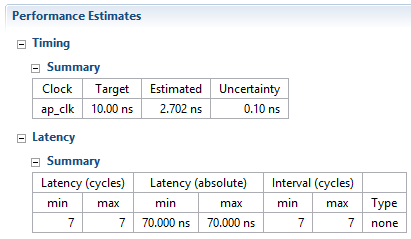


Рис. 3.3.1. Performance estimates

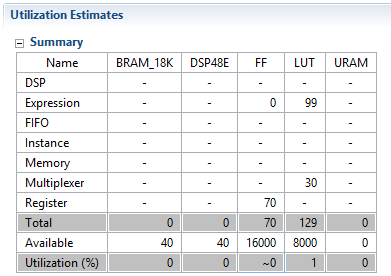


Рис. 3.3.2. Utilization estimates

Оценка использования ресурсов показывает, что будут использованы 129 LUT и 70 триггеров.

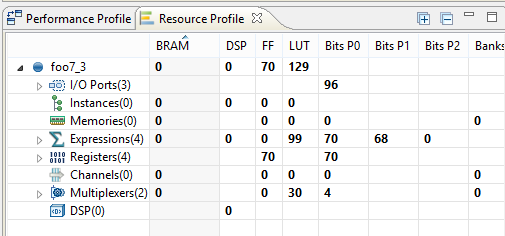


Рис. 3.3.3. Resource profile

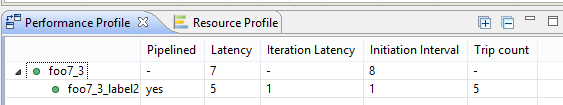


Рис. 3.3.4. Performance profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

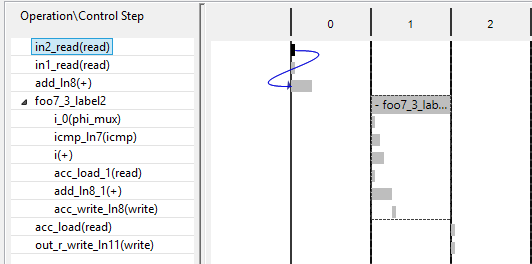


Рис. 3.3.4. Operation\Control Step

* 1. C/RTL моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 7 тактов, а II – 8 тактов.

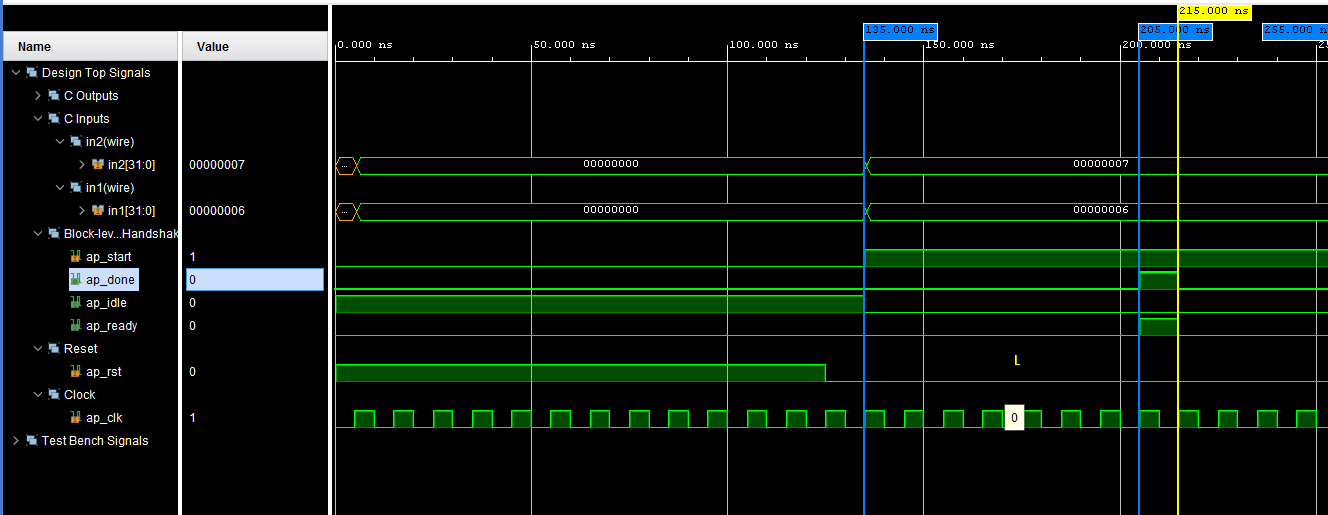


Рис. 3.4. modeling result

1. Третье решение
   1. Директивы

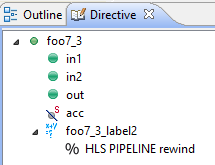


Рис. 4.1. Directives

* 1. Моделирование

По результатам моделирование, приведённым ниже, видно, что устройство проходит тесты.

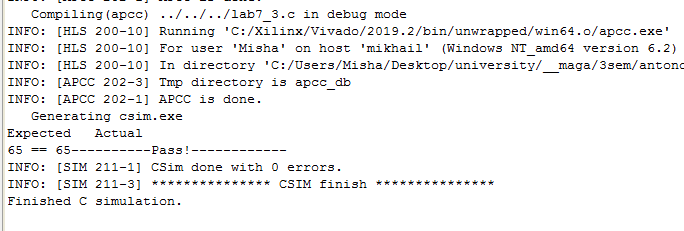


Рис. 4.2. Modeling result

* 1. Синтез

Ниже приведены оценки производительности. По ним видно, что оценочное время выполнения одного такта ~6.1с, а latency составляет 5 тактов.

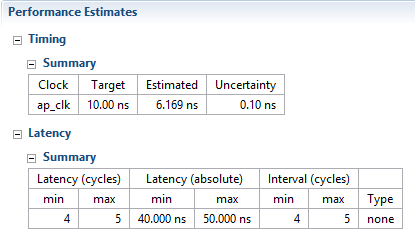


Рис. 4.3.1. Performance estimates

Оценка использования ресурсов показывает, что будут использованы 139 LUT и 102 триггера.

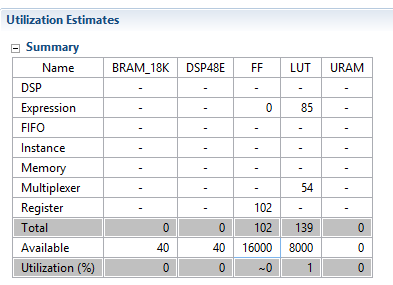


Рис. 4.3.2. Utilization estimates

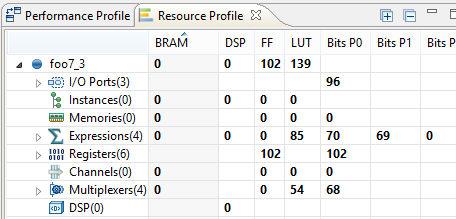


Рис. 4.3.3. Resource profile

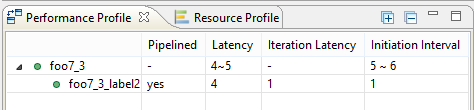


Рис. 4.3.4. Performance profile

Ниже приводится таблица использования ресурсов на каждом шаге выполнения.

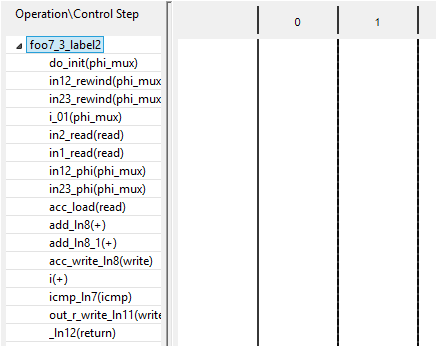


Рис. 4.3.4. Operation\Control step

* 1. C\RTL Моделирование

Результат C|RTL моделирования приведён ниже. По нему видно, что latency составляет 5 тактов, а II – 6 тактов.

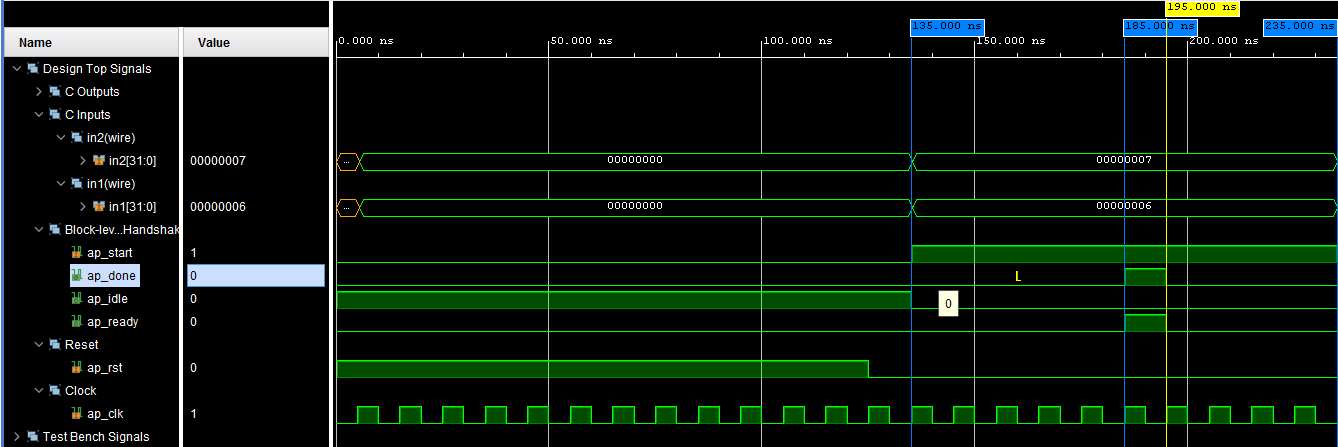


Рис. 4.4. Modeling result

1. Выводы

Ниже приведена сводная таблица по трем решениям, по которой можно сравнить производительность и использование ресурсов.

